

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-222860

(43)Date of publication of application : 09.08.2002

(51)Int.Cl.

H01L 21/768

H01L 21/312

H01L 21/316

(21)Application number : 2001-020457

(71)Applicant : SONY CORP

(22)Date of filing : 29.01.2001

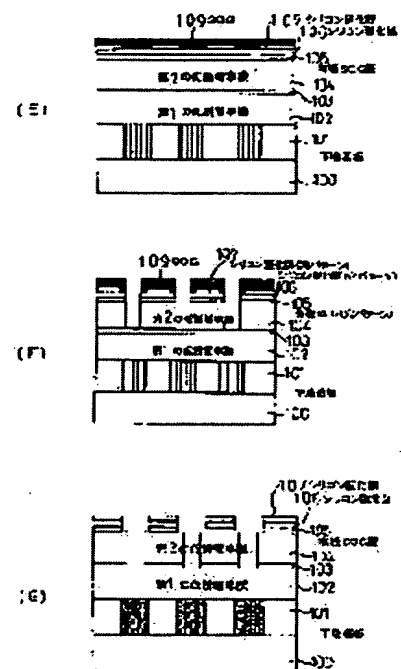
(72)Inventor : HASEGAWA TOSHIKI

(54) METHOD FOR FABRICATING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To form a multi-level wiring layer of dual damascene structure effectively using a low permittivity film in a via contact layer or a wiring layer.

SOLUTION: After a multilayer structure of organic films 14 and 18, and organic SOG films 16 and 20 are formed on a substrate, a silicon oxide film becoming a CMP stopper layer, or an organic SOG film and a silicon nitride film becoming an etching film are formed. Subsequently, a wiring pattern is formed on the silicon nitride film using a resist mask and the resist is ashed. Thereafter, SOG is applied for the purpose of planarization and the effect of level different is eliminated. Furthermore, an SOG material is admixed with resin absorbing the exposure wavelength so that a good resolution can be attained. Contact holes are then patterned and the silicon oxide film, organic films and silicon oxide film are etched sequentially. Finally, the silicon oxide film and the organic films are etched using the silicon nitride film as a mask.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-222860

(P 2 0 0 2 - 2 2 2 8 6 0 A)

(43) 公開日 平成14年 8 月 9 日 (2002. 8. 9)

(51) Int. Cl. ⁷	識別記号	F I	ターマコード [*] (参考)
H01L 21/768		H01L 21/312	C 5F033
21/312		21/316	G 5F058
21/316			X
			M
		21/90	A

審査請求 未請求 請求項の数 6 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2001-20457 (P 2001-20457)

(22) 出願日 平成13年 1 月 29 日 (2001. 1. 29)

(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川 6 丁目 7 番 35 号
(72) 発明者 長谷川 利昭
東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内
(74) 代理人 100089875
弁理士 野田 茂

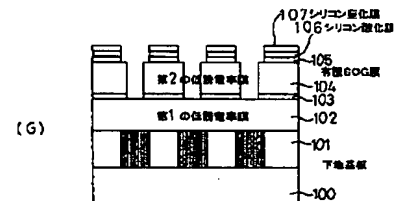
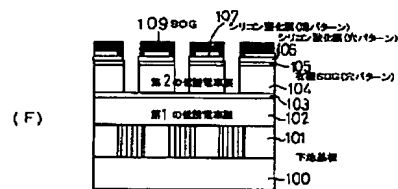
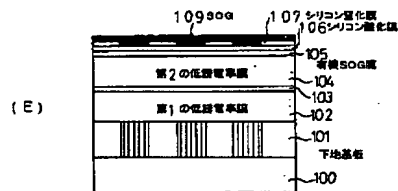
最終頁に続く

(54) 【発明の名称】 半導体装置の作成方法

(57) 【要約】

【課題】 ピアコンタクト層や配線層に低誘電率膜を用いて有効にデュアルダマシン構造による多層配線層を形成する。

【解決手段】 基板上に有機膜 1 4、1 8、有機 SOG 膜 1 6、2 0 の積層構造を形成した後、CMP ストップ層となるシリコン酸化膜、あるいは、有機 SOG 膜、エッチングマスクとなるシリコン窒化膜を形成する。次に、レジストマスクでシリコン窒化膜に配線パターンを形成し、レジストをアッシングする。次に、平坦化のために SOG を塗布し、段差の影響を解消する。さらに、SOG 材料に露光波長を吸収する樹脂を混合させておくことで、良好な解像度が得られるようにする。次に、コンタクトホールをパターンニングし、シリコン酸化膜、有機膜、シリコン酸化膜を順次エッチングする。次に、シリコン窒化膜をマスクにして、シリコン酸化膜、有機膜をエッチングする。



【特許請求の範囲】

【請求項 1】 デュアルダマシン構造による多層配線層を形成する作成方法において、ビアコンタクト層となる下層の層間絶縁膜と配線層となる上層の層間絶縁膜とを有する積層膜上にハードマスクを設け、前記ハードマスクに溝パターンを形成した後、その上層に平坦化膜を形成し、その後、コンタクトホール及び配線溝を形成するようにした、ことを特徴とする半導体装置の作成方法。

【請求項 2】 前記平坦化膜は、SOG 膜であることを特徴とする請求項 1 記載の半導体装置の作成方法。

【請求項 3】 前記 SOG 膜に次工程のパターニングに用いる露光装置の光を吸収する樹脂を混合しておくことを特徴とする請求項 2 記載の半導体装置の作成方法。

【請求項 4】 前記ハードマスクは、シリコン窒化膜、シリコン酸化膜、シリコン炭化物、あるいは、それらの混合物よりなることを特徴とする請求項 1 記載の半導体装置の作成方法。

【請求項 5】 前記層間絶縁膜を低誘電率有機膜より形成することを特徴とする請求項 1 記載の半導体装置の作成方法。

【請求項 6】 前記層間絶縁膜をシリコン酸化膜より形成することを特徴とする請求項 1 記載の半導体装置の作成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、デュアルダマシン構造による多層配線層を形成するための半導体装置の作成方法に関する。

【0002】

【従来の技術】 近年、半導体装置（以下、単にデバイスともいう）の微細化に伴って、配線の微細化、配線ピッチの縮小化が必要となっている。また、同時に、低消費電力、及び高速化などの要求に伴い、層間絶縁膜の低誘電率化、及び配線の低抵抗化が必要になってきた。特にロジック系のデバイスでは、微細配線による抵抗上昇、配線容量の増加がデバイスのスピード劣化につながるため、微細でかつ低誘電率膜を層間絶縁膜とした多層配線が必要となっている。しかし、配線幅の微細化、ピッチの縮小化は、配線自体の縦横比を大きくするだけでなく、配線間のスペースのアスペクト比を大きくし、結果として、縦に細長い微細配線を形成する技術、微細な配線間を層間膜で埋め込む技術などに負担がかかり、プロセスを複雑にすると同時に、プロセス数の増大を招いている。

【0003】 ところで、ビアコンタクトホールと配線溝を金属（Al、Cu など）のリフローパターニングによって同時に埋め込み、CMP により表面の金属を研磨するダマシンプロセスでは、高アスペクト比の金属配線

をエッチングで形成することも、配線間の狭隙を層間膜で埋め込む必要もなく、大幅にプロセス数を減らすことが可能である。このプロセスでは、配線アスペクト比が高くなるほど、また、配線総数が増大するほど、トータルコストの削減に大きく寄与するようになる。一方、層間絶縁膜の低誘電率化は配線間の容量を低減するが、例えば 0.18 μm ルール以下のデバイスに適用される比誘電率 2.5 以下の膜は、従来のデバイスに用いられているシリコン酸化膜と膜質が大きく異なり、それら低誘電率膜に対応したプロセス技術が求められている。例えば、比誘電率 3.0 を下回る低誘電率膜の多くは、カーボンを含むいわゆる有機膜が従来の層間絶縁膜に代わって採用されており、その層間絶縁膜に接続孔を開ける場合には、酸素を用いる必要がある。

【0004】

【発明が解決しようとする課題】 しかしながら、従来の半導体プロセスで用いられてきたパターニング技術には、有機膜であるレジストが用いられているため、それを除去する工程で、低誘電率膜がダメージを受けるという問題がある。なぜなら、低誘電率膜の組成は、レジストのそれに近く、レジスト除去プロセスで、低誘電率膜も除去されてしまう可能性があるからである。

【0005】 そこで本発明の第 1 の目的は、ビアコンタクト層と配線層に低誘電率膜を用いて有効にデュアルダマシン構造による多層配線層を形成することが可能な半導体装置の作成方法を提供することにある。さらに、本発明の第 2 の目的は、第 1 の目的を達成するためにハードマスクを用いてデュアルダマシン構造を加工する際に、段差のある基板へレジストを塗布する場合に、パターン不良の発生を防止することが可能な半導体装置の作成方法を提供することにある。

【0006】

【課題を解決するための手段】 本発明は前記目的を達成するため、デュアルダマシン構造による多層配線層を形成する作成方法において、ビアコンタクト層となる下層の層間絶縁膜と配線層となる上層の層間絶縁膜とを有する積層膜上にハードマスクを設け、前記ハードマスクに溝パターンを形成した後、その上層に平坦化膜を形成し、その後、コンタクトホール及び配線溝を形成するようにしたことを特徴とする。本発明の半導体装置の作成方法においては、デュアルダマシン構造による多層配線層を構成するための積層膜上に、シリコン窒化膜、シリコン酸化膜、シリコン炭化物、あるいは、それらの混合物よりなるハードマスクを設け、このハードマスクに溝パターンを形成する。

【0007】 そして、このハードマスクの上層に平坦化膜を形成することで、溝パターンによって生じたハードマスクの段差を平坦化する。この後、平坦化膜及びハードマスクを介して層間絶縁膜にコンタクトホール及び配線溝の形成作業を行ない、ダマシン法によるビアコンタ

10

20

30

40

50

クト及び金属配線の形成作業を行なう。これにより、ビアコンタクト層や配線層に低誘電率膜を用いた構成において、ハードマスクも低誘電率膜であるため、実行誘電率が低下し、半導体装置の性能を向上させることが可能となる。また、ハードマスクの段差上にレジストを塗布する必要がなくなり、特にコンタクトホールをパターンニングする際の解像不良を低減できる。

【0008】

【発明の実施の形態】以下、本発明による半導体装置の作成方法の実施の形態について説明する。なお、以下に説明する実施の形態は、本発明の好適な具体例であり、技術的に好ましい種々の限定が付されているが、本発明の範囲は、以下の説明において、特に本発明を限定する旨の記載がない限り、これらの態様に限定されないものとする。本実施の形態は、層間絶縁膜に有機膜、金属配線として銅を用いた半導体装置をダマシン法で形成するための方法、及び半導体装置の構造を提供するものである。すなわち、低誘電率膜が露出した状態で、レジスト除去が必要でなく、ハードマスクによって生じた段差上へのレジスト塗布と露光する必要のない方法及び構造を実現するものである。

【0009】ここで、ダマシン法は、配線パターンを予め層間絶縁膜に形成しておき、そこに金属を埋め込み、CMPで金属を研磨し、配線を形成するというものである。しかし、微細化に伴う容量増大を制御する目的から、低誘電率材料が採用されつつある。その際、比誘電率が例えば3.0以下の材料としては有機膜が採用され、比誘電率2.5以下の材料としてはフッ素樹脂膜が採用され、比誘電率が2.0以下の材料としてキセロゲル膜が採用されることが予想される。そこで本実施の形態では、有機膜と透明無機膜の組み合わせで、信頼性のあるデバイス構造を提案する。すなわち、上層に材質の異なる少なくとも2種類の光透過性マスクを積層することにより、レジスト除去工程を下層の有機膜を露出せに行うことが可能になり、有機膜を劣化させることなく、デュアルダマシン構造が作成できるようにしたものである。

【0010】図1は、本発明の実施の形態によって作成する半導体装置の構造例を示す断面図である。以下、この図1を用いて、本形態で用いるエッチングマスクとなる光透過性無機膜と有機膜との配置について説明する。図1に示す積層構造は、下地基板（半導体素子などを形成したもの）10、12の上にビアコンタクト22を形成するコンタクト層として有機膜14を形成し、その上に中間層としての無機膜（有機SOG膜）16を形成している。さらに、その上に金属配線24を設けるための配線層として有機膜18を形成し、その上に、必要に応じて光透過性無機膜（有機SOG膜）20を形成している。

【0011】次に、このような多層膜にデュアルダマシ

ン構造を作成する方法について簡単に説明する。まず、基板上に上述した有機膜14、18、有機SOG膜16、20の積層構造を形成した後、CMPストップ層となるシリコン酸化膜、あるいは、有機SOG膜、エッチングマスクとなるシリコン窒化膜を形成する。次に、レジストマスクでシリコン窒化膜に配線パターンを形成する。そして、レジストをアッシングするが、このとき、有機膜及び有機SOG膜は、シリコン酸化膜等に守られているのでダメージを受けないことになる。次に、本発明の特徴であるハードマスクの段差除去工程を行う。すなわち、配線パターンを形成したハードマスク上にレジストを塗布して後述するコンタクトのパターンを形成しなければならないが、その際の段差は、露光解像度に影響する。

【0012】そこで、本形態では、SOG（スピリオンガラス）を塗布することにより、段差の影響を解消する。さらに、SOG材料に露光波長を吸収する樹脂、たとえば、アルキル基やアリールエテル基を混合させておくことで、さらに、良好な解像度が得られるようにする。このマスクになったSOGは、デュアルダマシン加工プロセスを工夫することで、工程数を増加させることなく除去することができる。次に、コンタクトホールをパターンニングし、シリコン酸化膜、有機膜、シリコン酸化膜を順次エッチングする。有機膜をエッチングする際、レジストも同時に無くなる。次に、シリコン窒化膜をマスクにして、シリコン酸化膜、有機膜をエッチングする。このような工程を経て、デュアルダマシン構造を作成できる。

【0013】図2～図4は、以上のような本形態による半導体装置の作成方法を適用した具体的実施例を示す工程図である。なお、以下の説明において、特に説明しない商品名については(TM)の記号を付している。以下、本図を用いて具体的に本発明を説明する。

(1) まず、図2(A)では、シリコン基板100上にトランジスタや配線パターンなどの素子層101を形成し、下地基板を形成する。そして、この下地基板上に図2(B)に示すように、第1の低誘電率膜102を300nm～800nm形成する。この第1の低誘電率膜102を形成した層（レイヤ）は層間膜（ILD）になるので、比誘電率2.5程度の有機膜であればよい。また、このレイヤを低誘電率膜でなく、比誘電率4.0程度のシリコン酸化膜、比誘電率3.5程度のフッ素ドーブシリコン酸化膜（SiOF）、比誘電率3.0程度のカーボンドーブシリコン酸化膜（SiOC）で形成してもよい。これらのシリコン系酸化膜は、市販のCVD装置で成膜が可能な公知の技術であるので説明は省略する。なお、本実施例の場合は、例えばポリアリールエテルと総称される有機ポリマ（商品名：アライドシグナル社製FLARE、ダウケミカル社製SiLK、シューマッカー社製VELOX）を用いる。また、その他に

は、BCB膜、ポリイミド膜、アモルファスカーボン膜、フッ素樹脂膜環状フッ素樹脂、テフロン（登録商標）（PTFE）、アモルファステフロン（TM）、フッ化アリールエーテル、フッ化ポリイミドなどを用いることができる。

【0014】また、有機ポリマの形成には、例えば、前駆体をスピナーで基板上に製膜し、その後、300°Cから450°Cでキュア（焼成）した。また、必ずしも好ましくはないが、下地基板の表面状態が疎水性などの状態で、有機膜との密着性が悪い場合、あるいは、銅の拡散を防止するために、シリコン酸化膜、あるいは、シリコン窒化膜を形成する。また、シリコン酸化膜は、例えば、スピコート法を用い、市販の無機SiO₂（シランオールあるいはシランオールを含むポリマを主成分とする）を約30nm～100nm形成する。この際、スピコート後は、ベークを150°C～200°C、1分程度、キュアを350°C～450°Cで30分から1時間程度行う。なお、シリコン酸化膜は、市販のプラズマCVD装置を用いて、プラズマCVD法によって形成してもよい。ただし、この方法では、銅配線を酸化させるため、必ずしも好ましくない。そこで、この場合には、銅配線を極力酸化させないために、酸化剤としてN₂Oガスを用い、シリコン源としてシラン（モノシラン、ジシラン、トリシランなど）を用い、基板温度300°C～400°C、プラズマパワー350W、圧力1kPa程度の条件で製膜する。

【0015】シリコン窒化酸化膜の場合は、アミノ基を有する市販の無機SiO₂をスピコート法で製膜しても構わないが、好ましくは、プラズマCVD法を用いて製膜する。使用ガスとしては、シリコンソースとしてシラン（モノシラン、ジシラン、トリシランなど）、窒化剤としてマンモニア、ヒドラジンなどを用い、酸化剤としてN₂Oガスを用い、キャリアガスとして窒素、ヘリウム、アルゴンなどを用い、基板温度300°C～400°C、プラズマパワー350W、圧力1kPa程度の条件で製膜する。シリコン窒化膜の場合も同様で、アミノ基を有する市販の無機SiO₂をスピコート法で製膜しても構わないが、好ましくは、プラズマCVD法を用いて製膜する。使用ガスとしては、シリコンソースとしてシラン（モノシラン、ジシラン、トリシランなど）、窒化剤として、アンモニア、ヒドラジンなどを用い、キャリアガスとして窒素、ヘリウム、アルゴンなどを用い、基板温度300°C～400°C、プラズマパワー350W、圧力1kPa程度の条件で製膜する。炭化シリコン膜の形成には、平行平板型のプラズマCVD装置を用い、原料ガスは、例えばメチルシランを用い、基板温度300～400°C、プラズマパワー150W～350W、圧力100Pa～1000Paという条件を用いた。

【0016】（2）次に図2（B）に示すように、中間層としてシリカ系の膜103を形成する。このシリカ系の膜には、有機SiO₂膜を用いることができる。なお、有機SiO₂膜（MSQ：メチルシリシスキオキサンと総称される）とは、Si-O結合、Si-H結合、及びSi-CH₃結合（X=1、2、3）を有する膜であり、塗布法で形成するか、CVD法で形成する（この膜は、SiOCと呼ばれている。原料ガスはトリメチルシランガス、2窒化酸素ガス（あるいは酸素ガス）で、プラズマCVDで形成することが多い。基板温度は、200°C～400°Cである）ことができる。また、HSQ（ハイドロシリシスキオキサン）と総称される、Si-H結合とSi-O結合を有する膜を用いることもできる。通常は、塗布法で形成する。また、膜厚は、20nmから100nmで有ることが望ましい。これ以上薄くすると、エッチングストップとして役に立たず、これ以上厚いと、配線間容量を増加させるためである。また、有機SiO₂の代わりに、CVDシリコン酸化膜を用いることも可能である。この場合の成膜方法は、使用ガスとしては、シリコンソースとしてシラン（モノシラン、ジシラン、トリシランなど）、酸化剤として二窒化酸素、酸素などを用い、キャリアガスとして窒素、ヘリウム、アルゴンなどを用い、基板温度300°C～400°C、プラズマパワー350W、圧力1kPa程度の条件で製膜する。

【0017】（3）次に、図2（B）に示すように、第2の低誘電率有機膜104を製膜する。この有機膜としては、例えば、ポリアリールエーテルと総称される有機ポリマ（商品名：アライドシグナル社製FLARE、ダウケミカル社製SiLK、シューマッカー社製VELOX）フルオロカーボン膜（環状フッ素樹脂、テフロン（PTFE）、アモルファステフロン（TM）、フッ化アリールエーテル、フッ化ポリイミド）を400nmの膜厚で製膜する。この有機膜104の形成には、前駆体をスピナーで基板上に製膜し、その後、300°Cから450°Cでキュア（焼成）する。フッ素化アモルファスカーボンなどの材料は、アセチレン、フルオロカーボンガス（C₄F₈が代表的）を用い、プラズマCVD装置を用いて形成する。この際にも、300°Cから450°Cでキュア（焼成）をCVD製膜後に行う。ただし、アモルファステフロン（TM）は、図5（A）に示す化学構造式で表すことができる材料である。従って、商品名「テフロンAF」に限らず、図5（A）に示すような構造を有するものであれば、他のものであってもよい。

【0018】また、有機SiO₂膜の表面が疎水性で（接触角が50度程度以上の場合）、有機膜が塗布できない場合は、アルゴンなどの不活性ガスでプラズマ処理するか、紫外線照射（基板温度は200°C～300°C）し、疎水性を緩和しておく。通常は、水の接触角が50度以上であることが好ましい。なお、低誘電率膜として

は、その他にサイトップ(TM)でもよい。この材料は、図 5 (B) に示す化学構造式で表せられる材料である。従って、商品名「サイトップ」に限らず、図 5 (B) に示すような構造を有するものであれば、他のものであってもよい。さらに、その他の低誘電率膜として、フッ素化 FLARE (TM) (一般名: フッ化ポリアリルエーテル) を用いた。この材料は、図 5 (C) に示すような化学構造式で表せられる材料である。従って、商品名「FLARE」に限らず、図 5 (C) に示すような構造を有するものであれば、他のものであってもよい。

【0019】 (4) 次に、図 2 (C) に示すように、ハードマスクとして、上述した中間層として用いた膜 (有機 SOG 膜またはシリコン酸化膜など) 103 と同じ材質を用いた膜 105 と、シリコン酸化膜 106 と、シリコン窒化膜 107 を連続して形成する。なお、各膜 105、106、107 の膜厚は、順番に例えば 50~100 nm、50~300 nm、50 nm~150 nm で形成する。また、シリコン酸化膜、シリコン窒化膜の製膜の方法は、一般的な CVD 装置を用い、前述の条件を用いて行う。なお、中間層に用いた膜 103 がシリコン酸化膜である場合は、中間のシリコン酸化膜 106 は省略できる。また、シリコン酸化膜 106 を形成する前に、必要 (第 2 の低誘電率膜 104 の酸化を配慮する場合) に応じて、シリコン窒化膜、アモルファスシリコン、シリコン窒化酸化膜、あるいは、化学量論よりシリコンが多いシリコン酸化膜を形成する。すなわち、還元雰囲気中で CVD 膜を形成する。なお、これらの膜厚はできるだけ薄い方が好ましく、10 nm 程度が一般的である。

【0020】 (5) 次に、図 2 (D) に示すように、レジストマスクでメタル配線用溝 108 をパターンニングし、一般的なマグネトロン方式のエッチング装置を用いて、無機マスクのシリコン窒化膜 107 あるいは金属膜をエッチングする。このエッチングには、市販のエッチング装置を用い、CHF₃ (5 sccm)、O₂ (5 sccm)、Ar (20 sccm) の各ガスを用いて RF プラズマ 600W でエッチングする。その後、レジストをアッシングし、除去する。このとき有機 SOG 膜 105 は、シリコン酸化膜 106 によって保護されているので、ダメージは入らない。しかし、アッシングで酸素を用いない方法、すなわち、窒素、水素、アンモニアのいずれかを含むガス系でアッシングした場合は、中間層のシリコン酸化膜は必要がない。

【0021】 (6) 次に、図 3 (E) に示すように、平坦化を目的として SOG 109 を塗布する。この SOG としては、一般的なシラノールを主成分とする市販の材料を塗布する。例えば、東京応化工業が発売している Type-9 などがあげられる。その他、日立化成工業が発売している HSG シリーズなども使うことができる。スピンコートは、市販のコーターを用い、500 rpm

から 4000 rpm の範囲で塗布する。また、溶媒を揮発させるためのプリベークは、150°C から 350°C の範囲で大気圧下の窒素雰囲気で行うことが好ましい。また、その後のキュアは行わないことが好ましい。すなわち、SOG が脱水縮合して架橋すると、通常の有機溶媒に溶解しなくなるため、レジスト工程と相性が悪くなり、再生などが行えなくなる。また、市販の SOG の中に、後述する露光装置で使用する光を吸収する樹脂を混合しておくことが好ましい。例えば、アルキル基、アリーールエーテル基などを混合させておくことで実現できる。すなわち、SOG に反射防止効果を入れておくことで、次の露光工程での解像度をあげることができる。

【0022】 (7) 次に、図 3 (F) に示すように、レジストマスクでシリコン酸化膜 106、有機 SOG 膜 (無くてもよい) 105 にビアコンタクトホール 110 をパターンニングし、市販のエッチング装置で窒素、必要に応じてアンモニア、水素ガスを用いて、第 2 の低誘電率膜 104 をエッチングする。また、エッチングガスには、有機膜がダメージを受けるので酸素を含まない。このとき、CF 系のガス、CO ガスなどは必ずしも必要でない。なお、第 2 の低誘電率膜 104 の下層は、無機膜 (シリコン酸化膜) であるのでエッチングされない。

(8) 次に、図 3 (G) に示すように、シリコン窒化膜 107 をマスクとして、シリコン酸化膜 106 及び有機 SOG 膜 (平坦化に用いたものも含む) 105、109 をエッチングする。ここでは市販のエッチング装置を用い、C₄F₈ (5 sccm)、CO (5 sccm)、Ar (20 sccm) ガスを用いて RF プラズマ 600W でエッチングする。なお、図 4 (H) は、第 1 の低誘電率膜にシリコン酸化膜 102' を用いた場合の例を示している。

【0023】 (9) 次に、図 4 (I) に示すように、シリコン酸化膜 106 をマスクに、市販のエッチング装置で窒素、必要に応じてアンモニア、水素ガスを用いて、第 1 の低誘電率膜 102 をエッチングする。また、エッチングガスには、有機膜がダメージを受けるので酸素を含まない。このとき、上述したレジストマスクは有機膜をエッチングする際に完全に除去される。従って、アッシング工程は必要でない。

(10) 次に、ダマシン法で配線を形成する。すなわち、配線材料 (金属)、例えば、銅をスパッタ装置あるいは CVD 装置あるいは電界メッキで形成し、続いて、アルミナスラリーを用いた CMP により、余分な金属膜及びシリコン酸化膜を研磨する。以上のような (1) から (10) までの工程を繰り返し、多層配線を形成する。

【0024】本実施例による作成方法によれば、ハードマスクも低誘電率膜であるため、実行誘電率が低下し、半導体装置の性能を向上させることが可能となる。また、特に銅配線と有機膜を組み合わせた半導体装置を歩留まりの低下を招くことなく有効に形成することができ

る。また、レジストマスクの再生作業が可能である。さらに、低誘電率膜、及び有機SOG膜が剥き出しになった際のレジストのアッシング作業が必要ないという利点がある。また、ハードマスクの段差上にレジストを塗布する必要がなくなり、コンタクトホールパターン時の解像不良が低減される。

【0025】次に、第2の実施例について説明する。図6～図8は、本形態による半導体装置の作成方法の第2の実施例を示す工程図である。この実施例は、従来のシリコン酸化膜とシリコン窒化膜を組み合わせた場合の例を示す。すなわち、上述のような低誘電率膜を組み合わせても、SOGの平坦化による効果でコンタクトホールのパターンニングが良好に行なえるものとなる。まず、下地基板200の下層配線201上にシリコン窒化膜202、シリコン酸化膜203、シリコン窒化膜204、シリコン酸化膜205、シリコン窒化膜206を順次成膜する(図6(A))。なお、各膜厚は、例えば、下から順番に50nm、500nm、50nm、400nm、100nmとする。

【0026】次に最上層のシリコン窒化膜206に溝パターン207を形成する(図6(B))。これは前述した図2(D)の工程と同じである。次に、SOG(またはSiO)208で平坦化する(図6(C))。平坦化のSOGも前述と同じで、キュアは行わない。次にレジスト209で、コンタクトホールをパターンニングする(図6(D))。次に、シリコン酸化膜エッチング条件で、SOG208、シリコン酸化膜205、203をエッチングする(図7(E))。次に、シリコン窒化膜204をエッチングする(図7(F))。次に、レジスト209をアッシングする(図7(G))。なお、このときSOG208をアッシングしないように、アンモニアガスを用いた上述の有機膜エッチング条件でアッシングすることが望ましいが、酸素系の従来のアッシングでもかまわない。ただし、酸素系でエッチングを行った場合、SOGの膜厚が減少することがある。

【0027】次に、酸化膜エッチング条件で溝パターンとビアコンタクトホールをエッチングする(図7(H))。次に、シリコン窒化膜202をエッチングし、コンタクトホールを完全に開口する(図8(I))。次に、配線材料をデュアルダマシン構造へ埋め込み、配線210を形成する(図8(J))。以上のような工程を繰り返し、多層配線を形成する。したがって、この実施例においても、ハードマスクの段差上にレジストを塗布する必要がなくなり、コンタクトホールパ

ターン時の解像不良が低減される。

【0028】

【発明の効果】以上説明したように本発明の半導体装置の作成方法では、デュアルダマシン構造による多層配線を形成する作成方法において、ビアコンタクト層となる下層の層間絶縁膜と配線層となる上層の層間絶縁膜とを有する積層膜上にハードマスクを設け、前記ハードマスクに溝パターンを形成した後、その上層に平坦化膜を形成し、その後、コンタクトホール及び配線溝を形成するようにした。したがって、例えばビアコンタクト層や配線層に低誘電率膜を用いた構成において、ハードマスクも低誘電率膜であるため、実行誘電率が低下し、半導体装置の性能を向上させることが可能となる効果がある。また、ハードマスクの段差上にレジストを塗布する必要がなくなり、特にコンタクトホールをパターンニングする際の解像不良を低減できる効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態による半導体装置の作成方法によって作成する半導体の積層構造を示す断面図である。

【図2】本発明の実施の形態による半導体装置の作成方法の第1実施例を示す工程図である。

【図3】本発明の実施の形態による半導体装置の作成方法の第1実施例を示す工程図である。

【図4】本発明の実施の形態による半導体装置の作成方法の第1実施例を示す工程図である。

【図5】本発明の実施の形態で用いる低誘電率膜の化学構造式の具体例を示す説明図である。

【図6】本発明の実施の形態による半導体装置の作成方法の第2実施例を示す工程図である。

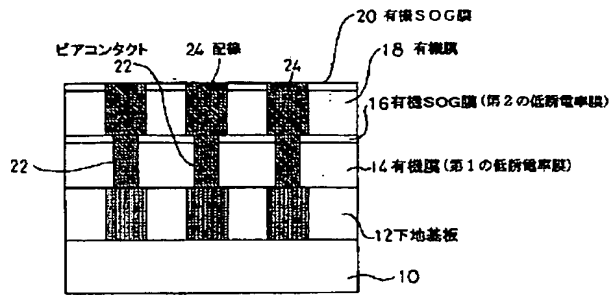
【図7】本発明の実施の形態による半導体装置の作成方法の第2実施例を示す工程図である。

【図8】本発明の実施の形態による半導体装置の作成方法の第2実施例を示す工程図である。

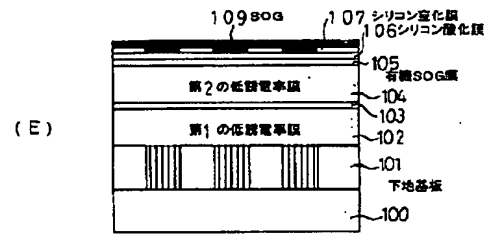
【符号の説明】

10、12……下地基板、14、18……有機膜、16、20……有機SOG膜、100……シリコン基板、101……素子層、102……第1の低誘電率膜、103……有機SOG膜、104……第2の低誘電率有機膜、105……有機SOG膜、106……シリコン酸化膜、107……シリコン窒化膜、108……メタル配線用溝、109……SOG、110……ビアコンタクトホール。

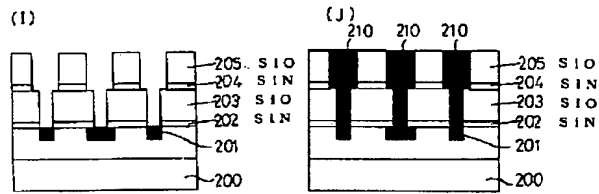
【図 1】



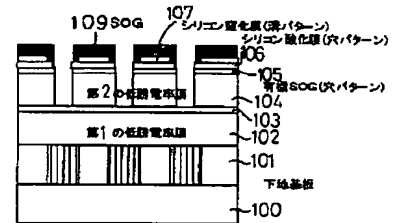
【図 3】



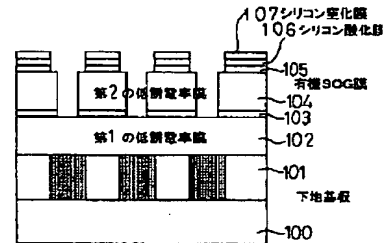
【図 8】



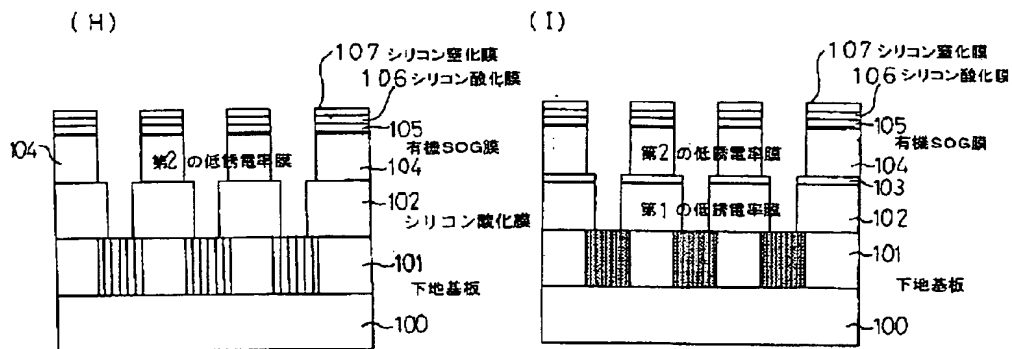
(F)



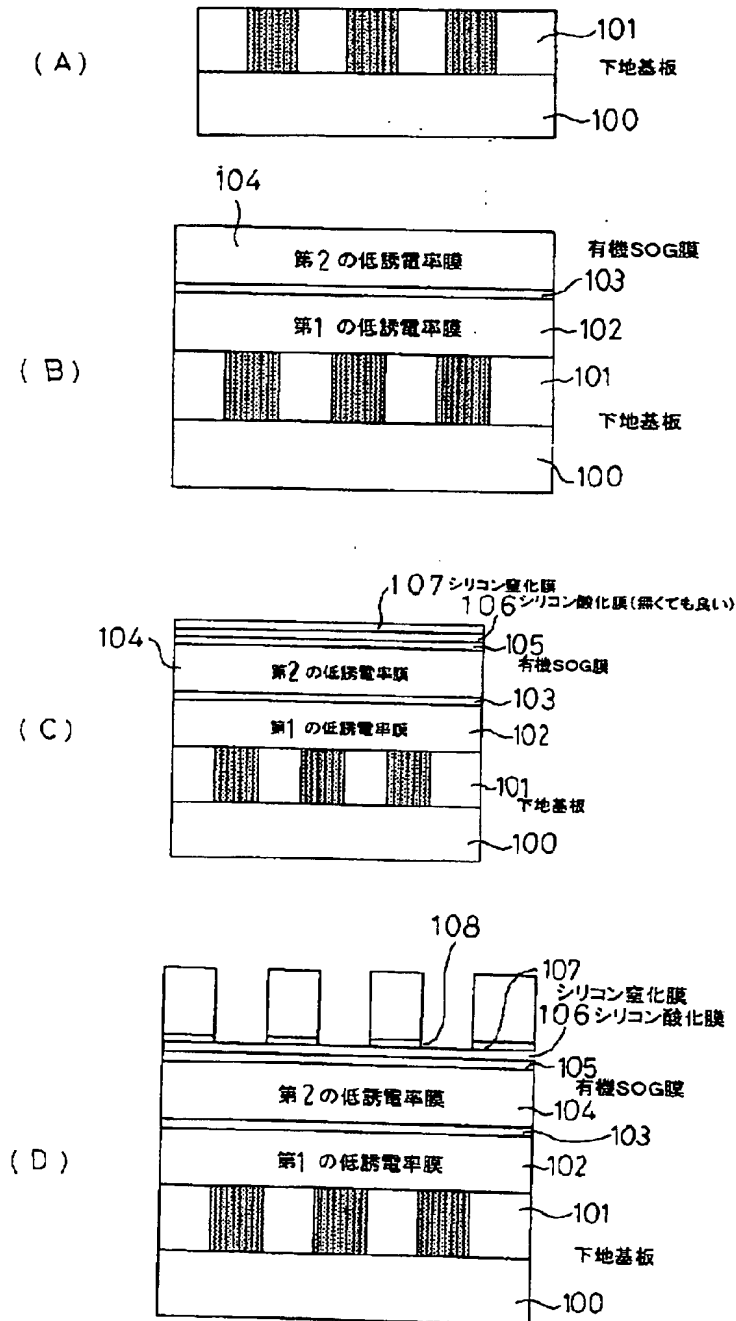
(G)



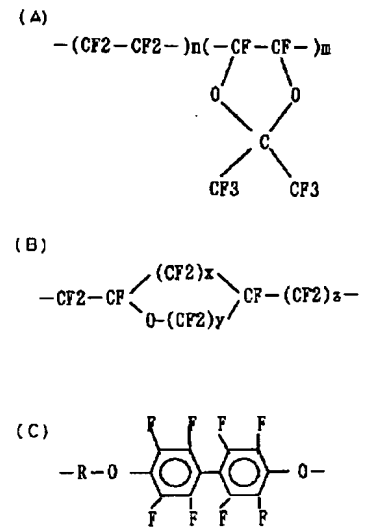
【図 4】



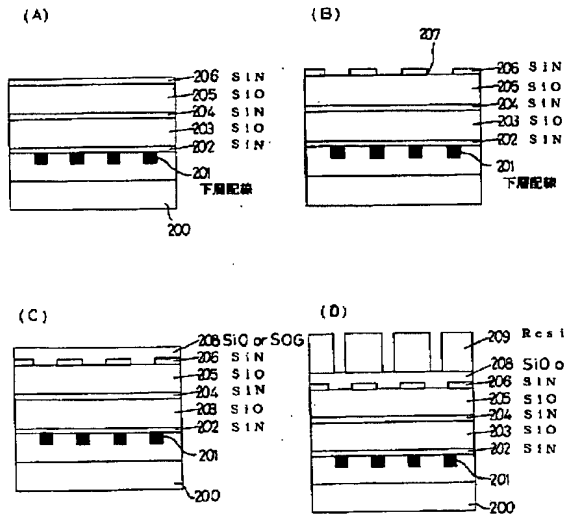
【図2】



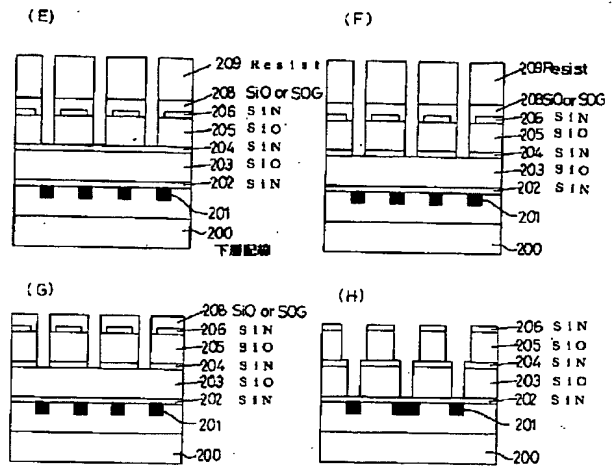
【図5】



【図 6】



【図 7】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

テーマコード (参考)

H 0 1 L 21/90

S

F ターム (参考) 5F033 HH11 JJ01 JJ11 KK00 MM02
 PP06 PP15 PP27 QQ09 QQ10
 QQ12 QQ25 QQ37 QQ48 RR01
 RR04 RR06 RR07 RR09 RR11
 RR21 RR22 RR24 RR25 SS01
 SS02 SS15 SS22 TT04 XX24
 5F058 AA06 AC03 AD05 AD10 AG01
 AH02 BA09 BD02 BD04 BD07
 BE04 BF07 BF23 BF29 BF39
 BF46 BH01 BJ02